

NON-VORATILE SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP55087490
Publication date: 1980-07-02
Inventor(s): ENDO NORIO; others: 01
Applicant(s):: TOSHIBA CORP
Requested Patent: ☐ JP55087490
Application Number: JP19780160428 19781225
Priority Number(s):
IPC Classification: H01L29/78 ; G11C11/40 ; H01L27/10
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve the memory retaining property with a charge diffusion barrier film in the second gate insulating film for charge storage provided on a gate insulating film presenting a tunnel phenomenon of the charge.

CONSTITUTION: An Si₄N₃ film 51 is piled on an extremely thin SiO₂ film 4 and immersed in a specified mixed solution of H₂SO₄ and H₂O₂ to form an extremely thin SiO₂ film 42. By the same procedure, an SiO₂ film 42 serving as charge diffusion barrier in the second gate insulating film comprising Si₃N₄ films 51-53. With this structure, a relatively large positive voltage is given the gate electrode 6 to trap electrons in the Si₃N₄ film with implantation of ions from the substrate 1. As the electron diffusion in the Si₃N₄ film is made between the centers of trapping in the film, the film makes possible tunneling of the electrons trapped, but provides a barrier after the removal of voltage. Therefore, after the implantation of charge, there is little change in the threshold voltage thereby ensuring an excellent memory retaining property.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—87490

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和55年(1980)7月2日

H 01 L 29/78

6603—5F

G 11 C 11/40

1 0 1

7010—5B

H 01 L 27/10

7210—5F

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ 不揮発性半導体記憶装置

⑯ 発明者 森田茂

⑰ 特 願 昭53—160428

川崎市幸区小向東芝町1番地東

⑱ 出 願 昭53(1978)12月25日

京芝浦電気株式会社総合研究所
内

⑲ 発明者 遠藤意男

⑳ 出 願 人 東京芝浦電気株式会社

川崎市幸区小向東芝町1番地東

川崎市幸区堀川町72番地

京芝浦電気株式会社総合研究所

㉑ 代理人 弁理士 鈴江武彦 外2名

内

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 半導体基板上に電荷のトンネル現象が
おこり得る厚さの第1ゲート絶縁膜を介して電荷
蓄積機能をもつ第2ゲート絶縁膜を有する不揮
発性半導体記憶装置において、第2ゲート絶縁
膜中に電荷の拡散に対して障壁を形成する少く
とも一面の拡散障壁膜を設けたことを特徴とす
る不揮発性半導体記憶装置。

(2) 第1ゲート絶縁膜を極薄シリコン酸化膜
とし、第2ゲート絶縁膜をシリコン窒化膜また
はアルミナ膜とし、拡散障壁膜として極薄シリ
コン酸化膜を用いた特許請求の範囲第1項記載
の不揮発性半導体記憶装置。

3. 発明の詳細な説明

この発明は、ゲート絶縁膜の構造を改良して
記憶保持特性の向上を図った不揮発性半導体記
憶装置に関する。

不揮発性半導体記憶装置の1つに、MNOS型
電界効果トランジスタ(以下MNOSトランジスタ
と略す)がある。MNOSトランジスタは、そ
のゲート絶縁膜の電荷蓄積機能によつて電荷を
除去しても記憶状態が不揮発的に保持されるとい
う利点を持ち、かつ電気的にその記憶状態を変
更することができる点ともあわせて、広く実用
化されるに至っている。その一例の模式的断面
図を図1図に示す。これはnチャネルアルミ
ニウムゲートMNOSトランジスタの場合で、P
型Si基板1にn⁺型ソース領域2、ドレイン領
域3が設けられ、ゲート絶縁膜が約20Åと極
めて薄いシリコン酸化膜4と約500Åとこれも
比較的薄いシリコン窒化膜5の二重層からなり、
その上にゲート電極6が設けられている。この
トランジスタにおいて、ゲート電極6に基板1
に対して正電圧が印加されると、基板1よりト
ンネル効果によつて約20Åのシリコン酸化膜
4を通過した電子がシリコン窒化膜5中に捕捉
される。通常、シリコン窒化膜5中に存在する

と考えられているドナーライクトラップが、この注入された電子によつて中性化され、かつ余剰の負電荷がゲート絶縁膜中に残り、このトランジスタのしきい値は正の比較的大きな方に変わる。これを“1”状態とする。次にゲート電極6に基板1に対して負電圧を印加すると正孔の注入がおこり、ゲート絶縁膜中の負電荷を打ち消し、かつドナーライクトラップに捕獲された電子をも捕えて、ここに正電荷を残す結果となる。この状態でトランジスタのしきい値は負方向に変化し、かつアプリーション型になることもある。これを“0”状態とする。

このようにゲート電極に印加する電圧の極性によつて、そのしきい値を変更でき、二値を得ることができるのでこのトランジスタは電氣的に書換のできる記憶装置として使われている。また、二つの記憶状態は電源の供給なしに、保持されるので不揮発性記憶の特性を有する。しかしながら、この記憶装置の1つの弱点は記憶された“1”又は“0”の状態が時間の経過

3

たとえば正電圧印加によつてシリコン酸化膜5中に注入された電子は、印加電圧除去後、再びトンネル効果によつてある電子はSi基板1に戻り（バックトンネリングと呼ばれている）、またある電子はゲート電極6側に移動すると考えられている。これはいくつかの実験によつて確かめられている。このうちバックトンネリングの量を左右するのはシリコンのエネルギダイアグラムでの禁帯帯に分布する表面単位密度であることが知られている。すなわち、この表面単位を經由してシリコン酸化膜5中の電子がトンネリングをおこし、Si基板1中で正孔と再結合する。従つて前者のSi基板側への電子の戻りは、ゲート絶縁膜中での負電荷の減少を意味し、この電界効果トランジスタのしきい値はより負側に変化することになる。さらにゲート電極側への負電荷の移動が、実質的にシリコン酸化膜中での正電荷の減少につながり、このトランジスタのしきい値は負側に変化することになる。

5

特開昭55-87490(2)
(状態変更のためにゲートにかけた印加電圧を除いた後での)とともに変化し、多くの場合“1”と“0”の状態が接近する方向に変わることである。したがつて時間の経過とともに“1”と“0”の状態のしきい値電圧差が小さくなり、次第に識別が困難になる。そして遂には識別が不可能となつてしまう。この間のしきい値電圧変化の様子を記憶保持特性と呼ぶことにする。

不揮発性の記憶素子としての性能は、主にこの保持特性の如何にかかつている。広く使われていたフローティングゲートタイプの不揮発性記憶素子にくらべて、このトンネル効果を使つたタイプのものは、保持特性の点でかゝつていた。それは主に電荷蓄積機能を有する部分とSi基板との間にトンネル可能な程度の老練膜しか存在しないことによると考えられている。すなわちしきい値電圧の変化は主に電圧印加によつて注入された電荷の印加電圧除去後のシリコン酸化膜5中での再分布によつて説明されている。た

4

負電圧印加後の状況についても類似の状態になつていると考えられ、この場合、しきい値電圧はより正側に変化していく

このようにして正、負電圧印加後のしきい値は、それぞれがより接近する方向に変化する。普通の場合“1”、“0”の判別に二値の中間の電圧をゲートに印加しトランジスタがONかOFFかによつてなされる。したがつて二値が接近し、ある値（回路方式に依存する値）以下になると二値の判別が不可能となり、記憶が消失したことになる。従来よりこのしきい値電圧の変化は“1”、“0”状態ともに時間の対数に比例する特性を持つていることが知られている。1けたの時間でのしきい値電圧の変化を減衰率(Decay Rate)とすれば、正又は負電圧印加後のしきい値電圧の差(“1”と“0”のしきい値電圧間隔)からある値を引いた値を“1”と“0”の状態の減衰率の和で除した値が、電圧印加後記憶が消失するまでの時間と考えることができる。これを記憶保持時間とすると、不揮

6

絶性記憶の性能を表わす指数と考えることができる。

従来よりこの記憶保持特性を良くするためには色々と工夫がなされてきた。しかしそのいずれもが本質的にゲート絶縁膜の構造を変えずにそれらの製造条件の選定の中でおこなわれてきた。従つてこの極薄酸化膜-シリコン窒化膜構成においては本質的に存在する、印加電圧除去後のゲート中の電荷のSi基板側へのバックトンネリングとゲート電極側への移動を減らすことに自ら限界があつた。

本発明はこの点に鑑みてなされたもので、ゲート絶縁膜を、基板側より電荷のトンネル現象が起り得る程度の厚さの第1ゲート絶縁膜と電荷蓄積機能を有する第2ゲート絶縁膜との積層構造とし、かつ第2ゲート絶縁膜中に電荷の拡散に対して障壁を形成する拡散障壁膜を少くとも一層設けることにより、記憶保持特性の大幅な向上を図つた半導体記憶装置を提供するものである。

7

同様の方法により、まず最初の極薄シリコン酸化膜 4_1 とシリコン窒化膜 5_1 を形成する。次に極薄シリコン酸化膜 4_2 の形成にはシリコン窒化膜 5_1 の高温酸化法を使うことは、既にそこまででき上がっている構造の変形又は変質をもたらすために望ましくないで低温酸化をおこなう。これには硫酸(濃度9.6%)と過酸化水素水(濃度30%)の体積比3:2の混合液中に約10分つけることによつてシリコン窒化膜 5_1 上に約20Åの極薄シリコン酸化膜 4_2 を形成することができる。この場合シリコン窒化膜 5_1 は、この低温酸化によつて膜厚が減少するので、初期的には約20Å程度厚くつけておく必要がある。これ以後は同様の方法の繰返しでよい。

次にこのゲート構造を有する素子の動作について説明する。まずゲート電極6に正の比較的大きな電圧、たとえば30Vを1msの時間印加すると、Si基板1側より電子が注入され、シリコン窒化膜中に捕獲される。このときの捕獲

次に本発明を、第1ゲート絶縁膜として極薄のシリコン酸化膜を用い、第2ゲート絶縁膜としてシリコン窒化膜を用いた。チャネルMOS型トランジスタに適用した実施例を使つて説明する。第2図は模式的断面構造であり、第3図はそのエネルギーバンドを表わす模式図である。この構造はゲート絶縁膜が従来のものと異なり、Si基板1に極薄シリコン酸化膜 4_1 、シリコン窒化膜 5_1 が積層され、その上に再び極薄シリコン酸化膜 4_2 、シリコン窒化膜 5_2 が積層され、更にその上に極薄シリコン酸化膜 4_3 、シリコン窒化膜 5_3 が積層されている。つまり、シリコン窒化膜 $5_1, 5_2, 5_3$ からなる第2ゲート絶縁膜中にその内部での電荷の拡散に対して拡散障壁膜となるシリコン酸化膜 $4_2, 4_3$ を挿入したものである。

たとえば、シリコン酸化膜 $4_1, 4_2, 4_3$ を全て20Åとし、シリコン窒化膜 $5_1, 5_2, 5_3$ をそれぞれ30Å, 100Å, 350Åとする。この構造の製造方法としては、通常の場合と

8

される電子の分布は、従来の構造でのそれとはほとんど変わらないと考えられる。というのは極薄シリコン酸化膜 $4_1, 4_2, 4_3$ が極めて薄くかつ印加された電圧が大きいので、シリコン窒化膜 $5_1, 5_2, 5_3$ のそれぞれの間に存在する極薄シリコン酸化膜 $4_2, 4_3$ は電子に対してはほとんど障壁とはならないからである。既に知られているように注入された電子は相当深くまで分布する。印加される電圧と時間によつて、たとえば200Å程度にまで達する。そうするとこの構造では、最下層のシリコン窒化膜 5_1 中はもちろんのこと、その上のシリコン窒化膜 $5_2, 5_3$ 中にも相当量の電子が捕獲されることになる。そして全体のシリコン窒化膜の厚さにくらべて、極薄シリコン酸化膜の膜厚は極めて薄いのでシリコン窒化膜中の電荷の量が同じであるならば、本構造のトランジスタにおいても通常のものと同量のしきい値及び θ の状態からのシフト量を示す。このような状態で放置した場合、先に述べたように注入された

10

電子はバクトンネリング及び電極方向への拡散へと移行していく。最下層のシリコン酸化膜5₁中に捕獲された電子は、従来の構造の場合と同様に、基板1に近いところに分布した電子からバクトンネリングをおこしてしまふと考えられる。

しかしながら次のシリコン酸化膜5₂中に捕獲された電子はSi基板1側への拡散及びゲート電極6側への拡散には、第3図からわかるように極薄シリコン酸化膜の障壁が存在する。シリコン酸化膜中での電子の拡散はシリコン酸化膜中に存在すると考えられる捕獲中心間の移動と考えられているので、このように捕獲された電子にとっては、シリコン酸化膜中に設けられた極薄シリコン酸化膜による障壁は高いものとなり、幅はトンネリング可能な距離ではあるが中間のシリコン酸化膜5₂からその下または上のシリコン酸化膜5₁、5₃側へのトンネリングは極めて起こりにくくなる。従つて印加電圧除去後の極めて短時間のしきい値の変化のあと

11

た第2ゲート絶縁膜としてアルミナ膜を用いたMAOS(Metal-Aluminum-Oxide-Semiconductor)にもこの発明を適用できるし、更に第2ゲート絶縁膜がシリコン酸化膜とアルミナ膜の組合せてあつてもよい。加えてゲート電極としてはアルミニウム等の金属の他、多結晶シリコンであつてもよいし、また第2ゲート絶縁膜中に設ける拡散障壁膜としてシリコン酸化膜のかわりに禁制帯幅の広い他の絶縁膜を用いても良い。

更にまた、上記実施例では、トランジスタについて述べたが、応用される記憶回路方式によつては、ソース又はドレインにあたる拡散領域を含まない構成であつてもよい。

4. 図面の簡単な説明

第1図は従来のMNOSトランジスタの模式的断面図、第2図はこの発明の一実施例のMNOSトランジスタの模式的断面図、第3図はそのエネルギーバンド構造を示す図である。

1…P型Si基板、2…ソース領域、3…ドレイン領域、4…極薄シリコン酸化膜(第1ゲ-

13

特開昭55-87490(4)

は、ほとんどしきい値の変化がみられなくなることがわかる。すなわち保持特性が大幅に改善されることになる。負電圧印加後も同様の現象が発生し、同じくしきい値電圧の正側への変化をおさえることができる。

以上のようにして、この実施例によれば、電荷蓄積機能をもつシリコン酸化膜中に極薄シリコン酸化膜を設けることによつて、その極薄シリコン酸化膜が、高電圧印加による電荷の注入の際にはほとんど障壁物とはならないが、印加電圧除去後の注入された電荷の移動を抑える役目を果たし、しきい値電圧の変化が極めて小さくおさえられる結果、優れた記憶保持特性が得られる。

上記実施例ではシリコン酸化膜中に二つの極薄シリコン酸化膜を設けたが、注入された電荷の分布によつては、より多層にする必要性も存在する。また上記実施例ではnチャネルMNOSトランジスタをあげたが、同様の効果はpチャネルMNOSトランジスタでも実現できる。ま

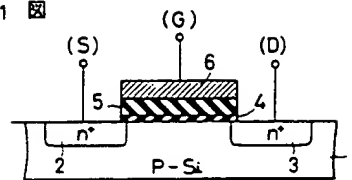
12

ト絶縁膜)、4₁、4₂…極薄シリコン酸化膜(拡散障壁膜)、5₁、5₂、5₃…シリコン酸化膜(第2ゲート絶縁膜)、6…ゲート電極。

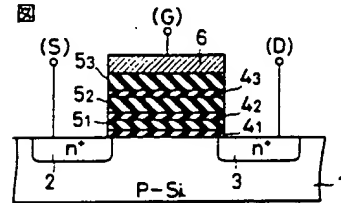
出願人代理人 弁理士 鈴 江 武 彦

14

第 1 図



第 2 図



第 3 図

